

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

8480073

Basic Patent (No,Kind,Date): JP 63318125 A2 881227 <No. of Patents: 002>

**MANUFACTURE OF SEMICONDUCTOR DEVICE** (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): EIFUKU HIDEKA; HIZUYA KENICHI; SHIOTANI YOSHIMI

IPC: \*H01L-021/265; H01L-029/78

CA Abstract No: 111(08)069338U

Derwent WPI Acc No: C 89-044322

JAPIO Reference No: 130166E000019

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 63318125	A2	881227	JP 87153981	A	870619 (BASIC)
JP 96015215	B4	960214	JP 87153981	A	870619

Priority Data (No,Kind,Date):

JP 87153981 A 870619

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

02701225 \*\*Image available\*\*

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

PUB. NO.: **63-318125** [JP 63318125 A]

PUBLISHED: December 27, 1988 (19881227)

INVENTOR(s): EIFUKU HIDEKA

HIZUYA KENICHI

SHIOTANI YOSHIMI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 62-153981 [JP 87153981]

FILED: June 19, 1987 (19870619)

INTL CLASS: [4] H01L-021/265; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 746, Vol. 13, No. 166, Pg. 19, April  
20, 1989 (19890420)

**ABSTRACT**

**PURPOSE:** To improve the performance of transistors by ion-implanting boron difluoride into a silicon substrate through a thermal oxide film, and activating the ion implantation regions by heating them with light exposure, thereby forming P-type regions.

**CONSTITUTION:** With a resist pattern 6 and a field oxide film 2 as a mask, boron difluoride is selectively ion-implanted through a gate oxide film 5 into the substrate 1 surface in a region where an element is to be formed. After removing the pattern 6, the oxide film on the implantation regions 108, 109 is removed to expose the upper surface of the regions 108, 109. The regions 108, 109 are heated and activated by a lamp anneal method, thereby forming a shallow P<sup>+</sup> type source region 8 and a P<sup>+</sup> type drain region 9. Whereupon, the surface level due to fluorine ions greatly reduces, so that the surface leakage at the source-drain junction greatly reduces. With this, the improvement of the performance of transistors is accomplished.

## ⑪ 公開特許公報 (A) 昭63-318125

⑫ Int. Cl.  
H 01 L 21/265  
29/78識別記号  
301庁内整理番号  
Z-7738-5F  
P-8422-5F

⑬ 公開 昭和63年(1988)12月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-153981

⑯ 出 願 昭62(1987)6月19日

⑰ 発明者 栄 福 秀 馬 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑰ 発明者 日 数 谷 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑰ 発明者 塩 谷 喜 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 井桁 貞一

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

n型シリコン基板上に熱酸化膜を形成し、  
該熱酸化膜を通して該シリコン基板内に二重化  
硼素をイオン注入した後、  
上記熱酸化膜を除去し、  
しかる後、上記二重化硼素がイオン注入された  
領域を光照射加熱により活性化してp型領域を形  
成せしめる工程を含むことを特徴とする半導体装  
置の製造方法。

## 3. 発明の詳細な説明

## (概要)

二重化硼素(BP<sub>2</sub>)のイオン注入とランプアニー  
ルの組合せによって浅いp型領域を形成するショ  
ートチャネル型MIS半導体装置の製造方法にお  
いて、BP<sub>2</sub>のイオン注入をシリコン基板上に形成

した熱酸化膜を介して該基板面にダメージを与  
えないよう且つ浅くを行い、上記熱酸化膜を除去し  
た後、前記イオン注入領域を短時間の高温ランプ  
アニー<ル処理によって表面部への二重化硼素分子の偏析  
を伴わずに活性化し、表面リーク電流の少ない  
浅いp型領域を形成する。

## 〔産業上の利用分野〕

本発明は半導体装置の製造方法に係り、特に浅  
いp型領域の形成方法の改良に関する。

MISICにおいては高集積化に伴う動作速度  
の低下を防止するためにチャネル長は順次縮小さ  
れて來ており、これに伴って生ずるショートチャ  
ネル効果を防止するためにソース・ドレインを極  
力に浅く形成することが必要になる。

そこで浅いソース・ドレイン領域を形成する方  
法として、絶縁膜を通して半導体基板面に不純物  
をイオン注入することによって浅い不純物注入領  
域を形成し、ランプからの赤外線照射により基板  
表面部のみを急速に高温に加熱するランプアニー

ル方法により上記不純物注入領域の拡大を抑えて活性化する方法が提供されている。

しかし上記方法においてp型の不純物として通常用いられる硼素(B)を用いた際には、イオン注入における硼素(B)の飛程がn型の不純物である砒素(As)に比べて著しく長いことにより、砒素同様の浅いイオン注入領域が形成できず、そのためn型ソース・ドレイン領域と同様の浅いp型ソース・ドレイン領域の形成が困難である。

そこでp型の不純物として質量が硼素(B)に比べて比較的砒素(As)に近い二弗化硼素(BF<sub>2</sub>)分子を注入不純物に用いることにより、浅いp型ソース・ドレイン領域が形成されるが、この場合接合部に表面リーキを生じて素子特性が劣化する傾向があり、改善が要望されている。

#### 〔従来の技術〕

上記BF<sub>2</sub>のイオン注入とランプアニール法との組合せにより浅いp型ソース・ドレイン領域を形成する際に、従来は次のような方法が行われてい

して得られる高エネルギーの赤外線(IR)を照射して行うランプアニール技術により該素子形成領域4の表面部を900~1000°C程度に数秒間加熱し、上記BF<sub>2</sub>注入領域108及び109を拡大させずに活性化し、第3図(a)のように浅いp型ソース領域8及びp型ドレイン領域9を形成する方法であった。

しかし該従来方法によると、BF<sub>2</sub>注入領域108及び109の活性化に際して、BF<sub>2</sub>注入領域108上に形成されている熱酸化膜即ちゲート酸化膜5と、弗素イオン(F<sup>+</sup>)との親和力が極めて大きいためにBF<sub>2</sub>注入領域108、109内に含まれるF<sup>+</sup>の濃度プロファイルにおけるピーク濃度の位置がSi基板1即ちソース8及びドレイン領域9の表面部へ引っ張られて移動する。

このF<sup>+</sup>の濃度プロファイルの移動の状態を示したのが第4図で、カーブSは注入直後の初期の濃度プロファイル、カーブBはランプアニール後の濃度プロファイルである。図中、SiO<sub>2</sub>は熱酸化膜即ちゲート酸化膜、Si基板はソース及びドレイ

ン。

即ち第3図(a)に示すように、通常の方法で形成されたフィールド酸化膜2及びその下部のn型チャネルストップ3とによってn<sup>-</sup>型シリコン(Si)基体1が分離露出されてなる素子形成領域4上に熱酸化法により厚さ200~300Å程度のゲート酸化膜5を形成し、該基体上に多結晶シリコン(ポリSi)層を成長し、該ポリSi層に不純物を高濃度にドーズして導電性を付与し、通常通りレジストパターン6をマスクにして該ポリSi層をバクーニングしてSiゲート電極7を形成する。

次いで第3図(b)に示すように、上記レジストパターン6及びフィールド酸化膜2をマスクにし、40~50keV程度の注入エネルギーでゲート酸化膜5を通してn<sup>-</sup>型Si基体1面に選択的にBF<sub>2</sub><sup>+</sup>をイオン注入する。ここで注入されたBF<sub>2</sub><sup>+</sup>のピーク濃度の位置は500Å程度の深さに形成される。なお108及び109はBF<sub>2</sub><sup>+</sup>注入領域を示す。

次いでレジストパターン6を除去した後、該基板面を赤外線ランプから放射される赤外線を集光

ン領域に対応し、深さ0の面は該Si基板の表面を示す。

この図に表されるように表面部のF<sup>+</sup>が熱酸化膜(ゲート酸化膜)中に吸収され、F<sup>+</sup>の濃度プロファイルのピーク濃度の位置(C<sub>max</sub>)がランプアニールによってSi基板即ちソース及びドレイン領域の表面近傍に移動する。なおこの図はシムス分析の結果から描かれたものである。

そしてこのF<sup>+</sup>の表面濃度の増大によってソース、ドレイン領域上の表面単位が増大し、これによってソース・ドレイン接合に表面リーキを生じて該ショートチャネル型MIS半導体装置の性能が損なわれるという問題があった。

#### 〔発明が解決しようとする問題点〕

本発明が解決しようとする問題点は、上記従来のBF<sub>2</sub>のイオン注入とランプアニール手段とによる浅いp型領域の形成方法を用いたショートチャネル型MIS半導体装置において、p型領域の表面部に存在する高濃度のF<sup>+</sup>による界面単位の増

大によって、p型領域接合の表面リークが増大して性能の劣化を引き起こしていたことである。

〔問題点を解決するための手段〕

上記問題点は、n型シリコン基板上に熱酸化膜を形成し、該熱酸化膜を通して該シリコン基板内に二フッ化硼素をイオン注入した後、上記熱酸化膜を除去し、かかる後、上記二フッ化硼素がイオン注入された領域を光照射加熱により活性化してp型領域を形成せしめる工程を含む本発明による半導体装置の製造方法によって解決される。

〔作用〕

即ち本発明の方法においては、BF<sub>2</sub><sup>+</sup>のイオン注入領域を活性化するためのランプアニール処理を、BF<sub>2</sub><sup>+</sup>注入の際にスルー(透過用)酸化膜として用いたBF<sub>2</sub><sup>+</sup>注入領域上の酸化膜を除去してBF<sub>2</sub><sup>+</sup>注入領域面を表出せしめた状態で行うことによって、BF<sub>2</sub><sup>+</sup>注入領域のF<sup>-</sup>の濃度分布が活性化により表面部に向かって移動することなく

し、形成されたp型領域の表面部のF<sup>-</sup>濃度を従来に比べ大幅に減少させる。

これによって上記BF<sub>2</sub><sup>+</sup>のイオン注入及びランプアニール手段により形成される浅いp型領域のF<sup>-</sup>による表面単位が従来に比べ大幅に減少して該p型領域の表面リークが大幅に減少するので、該p型領域を用いて形成するショートチャネル型pチャネルMIS半導体装置の性能が向上する。

〔実施例〕

以下本発明を、図を参照し実施例により具体的に説明する。

第1図(a)～(e)は本発明の方法の一実施例を示す工程断面図で、第2図は同実施例におけるF<sup>-</sup>濃度のプロファイル図である。

全図を通じ同一対象物は同一符号で示す。

第1図(a)参照

本発明の方法によりショートチャネル型のpチャネルMISトランジスタを形成するに際しては従来同様に、フィールド酸化膜2及びその下部の

n型チャネルストップ3とによってn<sup>-</sup>型Si基体1が分離表出されてなる素子形成領域4上に熱酸化法により厚さ200～300Å程度のゲート酸化膜5を形成し、該基体上にポリSi層を成長し、該ポリSi層に不純物を高濃度に導入して導電性を付与し、レジストパターン6をマスクにして該ポリSi層をバーニングしてポリSiゲート電極7を形成する。

第1図(b)参照

次いで上記レジストパターン6及びフィールド酸化膜2をマスクにし、上記ゲート酸化膜5を通して40～50keV程度の注入エネルギーで例えば2×10<sup>15</sup>程度のドーズ量の二フッ化硼素(BF<sub>2</sub><sup>+</sup>)を素子形成領域4内の基体1面上に選択的にイオン注入する。このイオン注入により形成されるBF<sub>2</sub><sup>+</sup>注入領域108及び109の濃度プロファイルにおけるピーク濃度の位置は基体1の表面から500Å程度の深さに形成される。

またこの際該BF<sub>2</sub><sup>+</sup>注入領域108及び109内に含まれる遊離弗素イオン(F<sup>-</sup>)の濃度プロファイル

もBF<sub>2</sub><sup>+</sup>と同様になる。

第1図(c)参照

次いでレジストパターン6を除去した後、硫酸と硝酸の混液等による通常のウエットエッチング手段により上記BF<sub>2</sub><sup>+</sup>注入領域108、109上のゲート酸化膜5を除去し、該BF<sub>2</sub><sup>+</sup>注入領域108、109の上面を表出させる。

第1図(d)参照

次いで従来同様高照度の赤外線で照射するランプアニール法により上記BF<sub>2</sub><sup>+</sup>注入領域108、109を900～1000°C程度に数秒程度加熱し活性化して深さ1000Å程度の浅いp<sup>-</sup>型ソース領域8及びp<sup>-</sup>型ドレイン領域9を形成する。

第1図(e)参照

以後通常通り不純物ブロック用酸化膜10を形成し、構造ガラス PSG等よりなる層間絶縁膜11を形成し、ソース領域8、ドレイン領域9等へのコンタクト窓を形成し、アルミニウム等よりなるソース配線12及びドレイン配線13等を形成してショートチャネル型のpチャネルMISトランジ

ステが完成する。

上記実施例の方法、即ちイオン注入領域上のゲート酸化膜5を除去してからイオン注入領域のランプアニールを行う方法において、 $BF_3^+$ 注入領域108及び109を従来同様の条件のランプアニール手段により加熱して活性化した際、形成される $p^+$ 型ソース領域8及びドレイン領域9内の $F^+$ の濃度プロファイルはシムス分析の結果から第2図に示すように、アニール前、即ち $BF_3^+$ イオン注入直後のプロファイルを示すカーブSに対して形状及び表面部の $F^+$ の濃度が殆ど変わらないカーブAに示すような形状となり、 $F^+$ の表面濃度は従来に比べ大幅に減少する。なお、図において深さ0の面はSi基板即ちイオン注入領域の表面を示す。

従ってソース領域8及びドレイン領域9の表面部に存在する $F^+$ によって該ソース領域8及びドレイン領域9の表面に形成される表面準位は、従来に比べ大幅に減少し、該浅い $p^+$ 型ソース領域8及び $p^+$ 型ドレイン領域9の接合上の表面リー

クは従来に比べ大幅に減少する。

なお本発明の方法はバイポーラ半導体装置の製造にも適用される。

#### (発明の効果)

以上説明のように本発明によれば、二弗化硼素のイオン注入と、ランプアニール法との組合せによって浅い $p^+$ 型のソース領域及びドレイン領域を形成するショートチャネル型 $p$ チャネルMISトランジスタの形成に際して、弗素イオンによる表面準位が大幅に減少するので、ソース及びドレイン接合における表面リークが大幅に減少し、該ショートチャネル型 $p$ チャネルMISトランジスタの性能向上が図れる。

#### 4. 図面の簡単な説明

第1図(a)～(e)は本発明の方法の一実施例を示す工程断面図。

第2図は同実施例における $F^+$ 濃度のプロファイル図。

第3図(a)～(c)は従来方法の工程断面図、  
第4図は従来方法における $F^+$ 濃度のプロファイル図  
である。

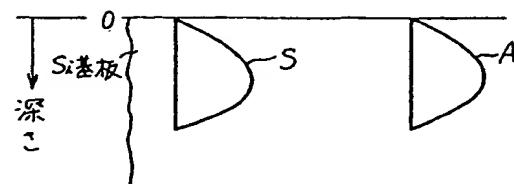
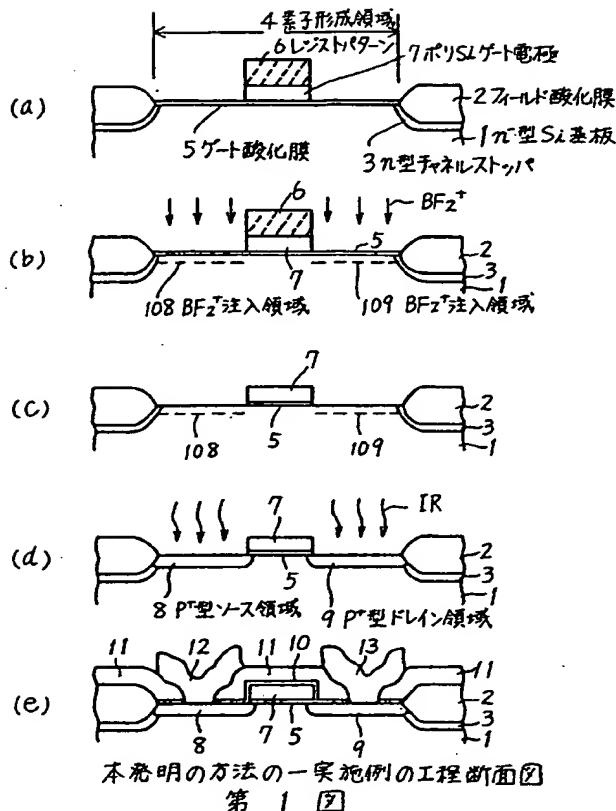
を示す。

代理人 弁理士 井桁貞一

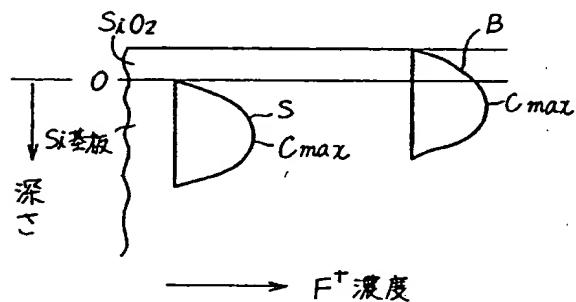


図において、

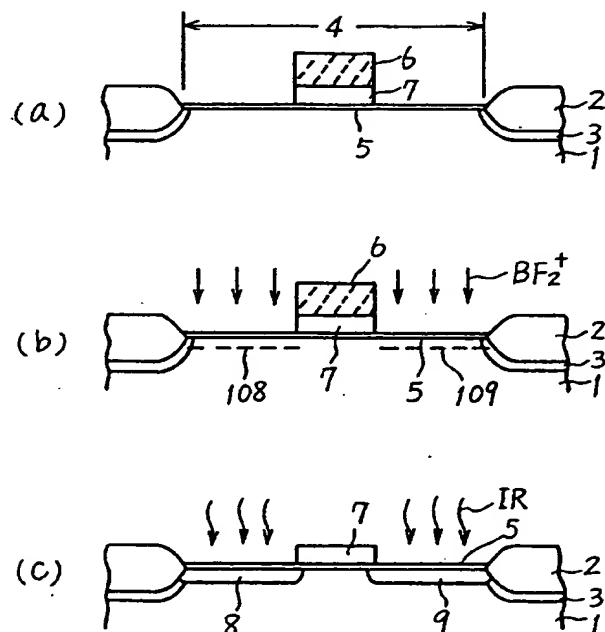
- 1は $n^-$ 型Si基板、
- 2はフィールド酸化膜、
- 3は $n$ 型チャネルストップ、
- 4は素子形成領域、
- 5はゲート酸化膜、
- 6はレジストパターン、
- 7はポリSiゲート電極、
- 8は $p^+$ 型ソース領域、
- 9は $p^+$ 型ドレイン領域、
- 10は不純物プロック用酸化膜、
- 11は層間絶縁膜、
- 12はソース配線、
- 13はドレイン配線
- 108、109は $BF_3^+$ 注入領域、



本発明の実施例におけるF<sup>+</sup>濃度のプロファイル図  
第2図



従来方法におけるF<sup>+</sup>濃度のプロファイル図  
第4図



従来方法の工程断面図  
第3図